BEST AVAILABLE COPY

MAY 0 9 2006 W

Docket No. 16983

UNITED STATES PATENT AND TRADEMARK OFFICE VERIFICATION OF A TRANSLATION

I, the below named translator, hereby declare that:

My name and post office address are as stated below;

That I am knowledgeable in the English language and in the Japanese language, and that I believe the English translation of the marked portion of the attached Japanese document is true and complete.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date: May 3, 2006

Full name of the translator:

Roland Piers LEVAN

Signature of translator:

For and on behalf of RWS Group Ltd

Post Office Address:

Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,

England.

1. Claims 1 and 2 of the scope of the claims of the subject application (referred to hereinafter as "the inventions of the subject application") are inventions relating to a memory system in which one or more buffers are connected to a controller for controlling a memory circuit via data cabling for data transmission, and furthermore which system comprises a module in which a plurality of memory circuits are connected to the abovementioned buffer(s) via internal data cabling.

On the other hand, Korean Unexamined Patent Application 1998-32834 (laid open July 25th, 1998; referred to hereinafter as "the cited inventions") concerns inventions relating to a memory drive circuit which is characterized in that it is provided with a memory controller for driving a memory module, and a buffer in charge of transmitting drive signals between the memory module and the controller.

If the two inventions are compared, the configuration of the plurality of memory circuits, the controller for controlling the memory circuits and the buffer of the inventions of the subject application resembles the configuration of the plurality of memory elements, the memory controller and the buffer of the cited inventions.

However, the exact connectional relationship (the data cabling for data transmission and the internal data cabling) between the configurational elements of the inventions of the subject application differs from the connectional relationship between the

configurational elements of the inventions of the cited inventions, but it is judged that a person skilled in the art could give consideration to the abovementioned difference when designing the system.

특 1998-032834

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ 606F 13/00	(11) 공개번호 특1998-032834 (43) 공개일자 1998년07월25일
(21) 출원번호 (22) 출원일자	특1997-052680 1997년 10월15일
(30) 우선권주장 (71) 출원인	96-290134 1996년10월31일 일본(JP) 후지쓰가부시키가이샤 세키지와다다시
(72) 발명자	일본 기나가와겐 기와사키시 나카하라쿠 가미코대나카 4죠에 1반 1고 도사키마사키
	일본 기나가와겐 가와사키시 나카하라쿠 가미코더나카 4죠에 1반 1고,후자쓰 가부시키가이샤 나이
	우수이유조
	일본 기나가와겐 기와사키시 나카하라쿠 가미코다나카 4죠에 1반 1고,후지쓰 가부시키가이샤 나이
	마츠이노리유키
	일본 가나가와켄 기와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고,혹지쓰 가부시키가이샤 나이
	아스타마사오
	일본 기나가와겐 기와사키시 나카하라쿠 가미코다나카 4조메 1반 1고,孝지쓰 가부시키가이샤 나이
	가스기가즈노리
(74) 대리인	일본 가나가와엔 기와사키시 나카하라쿠 가미코다나카 4죠에 1반 1고,후지쓰 가부시키가이샤 나이 조태면

실사용구 : 있음

(54) 메모리 구동 회로

£

본 발명은 복수의 에모리 소자로 구성되는 메모리 모듈을 적어도 1개 구비하고, 상기 메모리 모듈을 구동 하는 메모리 컨트롤러와, 상기 에모리 모듈과 상기 메모리 컨트롤러의 사이에 배치되어, 상기 메모리 컨 트롤러로부터 구동 신호를 수신하고, 수신한 구동 신호를 상기 메모리 모듈로 송신하는 버퍼를 구비하며, 상기 메모리 모듈에서 발생하는 신호의 반사 노미즈를 상기 버퍼로 흡수하도록 한 메모리 구동 회로이다.

445

SE)

BAN

全型의 飞行者 监督

- 도 1은 본 발명에 관계되는 메모리 구동 회로의 구성을 나타내는 도면.
- 도 2는 DRAM의 내부 구성을 나타내는 도면.
- 도 3은 메모리셀의 내부 구성을 나타내는 도면.
- 도 4는 도 1의 점 c에 있머서의 신호 파형을 나타내는 도면(1).
- 도 5는 도 1의 점 b에 있어서의 신호 파형을 나타내는 도면(1).
- 도 6은 도 1의 점 4에 있어서의 신호 파형을 나타내는 도면(1).
- 도 7은 도 1의 점 c에 있어서의 신호 파형을 나타내는 도면(2).
- 도 8은 도 1의 점 5에 있어서의 신호 파형을 나타내는 도면(2).
- 도 9는 도 1의 점 4에 있어서의 신호 파형을 나타내는 도면(2).

도 10은 종래의 메모리 구동 회로의 구성을 나타내는 도면. 〈도면의 주요부분에 대한 부호의 설명〉

- 1: 메모리 모듈
- 2: CHOILIPE RAM (DRAM)
- 3: 出田
- 5: 메모리 퀸트룓러(MC)
- 6: 배선 패턴
- 7: 데이타 버스
- 8: 제어 버스
- 9: 어드레스 버스
- 10: 커페시터
- 11: 트랜스퍼 게이트
- 14: 배선 패턴

발명의 상체를 설명

监督의 号琴

监督的 哈奇丘 刀盒竖印 및 그 분야의 중래기술

본 발명은 모듈화된 메모리를 구동하는 회로에 관한것이다.

퍼스널컴퓨터 등의 전자 계산기에서는 모듈화한 메모리를 내장하는 것이 일반화되고 있다. 모듈화한 메모리는, 예컨대, 도 10에 도시된 바와 같이, 복수의 메모리 모듈을 내장하는 동시에, 미물 메모리 모듈을 되는 메모리 컨트롤러 10명 내장하며, 메모리 컨트롤러 100와 메모리 모듈을 커넥터로 접속하며 구성되다.

각 메모리 모듈은 다이나막 RAM(DRAM)을 배선 패턴으로 접속하여 구성되기 때문에, 복수의 메모리 모듈을 내장했을 경우에는 메모리 모듈내의 배선이 스터브형(분기 배선)이 된다.

상기 메모리 모듈에 내장되는 DRAM의 개수는 개개의 DRAM 용량에 따라 다르다. 예컨대, 16Mblte의 DRAM 을 미용하여 BMbyte의 메모리 모듈을 구성하는 경우, 메모리 모듈에 내장되는 DRAM의 개수는 4개가 된다. 또한, 4Mblt의 DRAM을 미용하여 BMbyte의 메모리 모듈을 구성하는 경우, 메모리 모듈에 내장되는 DRAM의 개수는 16개가 된다. 이와 같이, 메모리 모듈의 용량은, 내장하는 DRAM의 용량과 그 개수에 따라 다르다.

상기한 바와 같은 메모리 회로에 데이타를 기록하는 경우는, 메오리 컨트롤러 #C는 DRAM을 구성하는 커패 시터(정전 용량 소자)에 전하를 압축 또는 방전시킨다. 한편, 메모리 회로로부터 데이타를 독출하는 경 웃는, 메모리 컨트롤러 MC는 커패시터에 축압된 전하의 유무(전하 유: 미」, 전하 무: 미」)를 참조한

그런데, 상기한 중래의 메모리 구동 회로에서는 메모리 모듈내의 배선이 스터브형으로 되어 있기 때문에, 배선 임피던스에 부정합이 생기고 있다. 그리고, 메모리 컨트롭러 MC로부터 메모리 모듈로 신호가 송신 되었을 경우, 임피던스의 부정함에 의해 신호가 반사하고, 반사한 신호(미하, 반사 노이즈라고 기재함)가 메모리 모듈내의 배선이나, 메모리 모듈과 메모리 컨트롤러를 연결하는 배선 등을 흘러, 메모리 컨트롤러 MC로부터의 신호와 겹치게 된다.

여기서, 메모리 컨트롤러로부터 메모리 모듈로 송신되는 신호로서, 메모리 모듈의 독출 동작시 하이 레벨 (H) 신호를 나타내고, 기록 동작시 로우 레벨(L) 신호를 나타내는 라이트 이네이블 신호(WE)와, 메트릭스 형으로 배치된 커패시터로 구성되는 DRAM의 로우 어드레스 지정 타이밍을 나타내는 로우 어드레스 ·스트 로브(RAS: ROW ADDRESS STROBE) 신호와, 상기 DRAM의 컬럼 어드레스 지정타이밍을 (나타내다)도시하는 할 럼 어드레스 ·스트로브(CAS: COLUMN ADDRESS STROBE)와, 어드레스 신호등이 있다.

라이트 이네이븀 신호 條, 로우 머드레스 스트로브 신호 RAS, 컬텀 어드레스 스트로브 신호 CAS, 및 머드레스 신호는 신호치의 변화점을 사용하는 엣지 트리거 신호이다. 이 때문에, 미를 신호가 상기 반사노이즈와 겹첬을 경우, 신호의 파형 균멸이나 단불임이 생기며, DRAM의 오동작을 초래한다.

또한, 반사 노이즈는 메모리 모듈의 부하 용량이 중가할수록 커지므로, 용량이 다른 메모리 모듈을 내장했을 경우, 예컨대, 도 10의 예에서는 메모리 모듈 A보다도 메모리 모듈 6의 쪽이 부하 용량이 커지므로, 메모리 모듈 B에서 발생하는 반사 노이즈는 메모리 모듈 A에서 발생하는 반사 노이즈보다도 커진다. 이때문에, 메모리 모듈 B에서 발생한 반사 노이즈는 메모리 모듈 A의 메모리 소자에까지 영향을 미치게 할 우려가 있다.

또, 메모리 모듈을 증설했을 경우, 메모리 회로 전체의 부하 용량이 커지므로, 메모리 컨트롤러 따로부터 출력되는 신호의 상승 시간, 하강 시간이 커지고, 지연이 증대하며 타이밍 메러를 발생한다. 이러한 타 이밍 에러를 방지하는 방법으로서, 메모리 컨트롤러의 구동 능력을 크게하는 방법이 있지만, 메모리 모듈 의 내장수가 적은 경우는, 오버 슈트나 먼더 슈트가 발생하며 DRAM의 오동작을 Di기하게 된다.

显思이 이루고자 하는 기술적 조재

본 발명은 여러가지 구성의 메모리 모듈을 내장하는 회로에 있어서, 회로내에서 송수신되는 신호의 파형 을 양질이면서 또한 만정한 파형으로 하여, 회로내의 지연을 억제하며 회로의 성능 향상을 도모하는 것을 과제로 한다.

발명의 구성 및 작용

본 발명은 상기 과제를 해결하기 위해서, 아래와 같은 수단을 채용하였다.

즉, 본 발명에 관계되는 메모리 구동 회로는, 복수의 메모리 소자로 구성되는 메모리 모듈을 적어도 1개 구비하는 동시에, 상기 메모리 모듈을 구동하는 메모리 컨트롤러와, 상기 메모리 모듈과 상기 메모리 컨 트롤러의 사이에 배치되어, 상기 메모리 컨트롤러로부터의 구동 신호를 수산하고, 수산한 구동 신호를 상 기 메모리 모듈로 송산하는 버퍼를 구비한다.

이 메모리 구동 회로에서는 메모리 컨트롤러로부터 메모리 모듈로 송신되는 구동 신호가 일단 버퍼로 수 신되고, 상기 버퍼로부터 상기 메모리 모듈로 송신된다.

그리고, 메모리 모듈에서는 상기 구동 신호가 각 메모리 소자로 분배된다. 이 때, 각 메모리 소자에서는 상기 구동 신호의 반사 노이즈가 발생한다. 이 반사 노이즈는 상기 구동 신호의 진행 방향으로 역행하고, 메모리 모듈로부터 버퍼로 향하는 방향으로 진행하지만, 버퍼에 의해서 흡수된다.

또한, 상기 메모리 모듈에서 발생한 받사 노이즈는 상기 버퍼로 흡수되지만, 상기 버퍼의 출력 임피던스 가 상기 버퍼와 상기 메모리 모듈을 접속하는 배선의 임피던스에 결합하지 않으면, 상기 버퍼 및 상기 배 선의 접속 부분에 있어서 상기 반사 노이즈의 반사 노이즈가 발생하는 경우가 있다.

그래서, 상기 버퍼의 풀력 임피던스가 상기 배선의 임피던스와 정합하도록 하는 것이 바람직하다.

<u>또, 상</u>기 배선의 임피던스는 상기 메모리 모듈을 취할 수 있는 임피던스 범위내의 값으로 하는 것이 바람

또한, 상기 비퍼로부터 훌쩍되는 신호치의 천이 시간은 상기 메모리 모듈내를 신호가 전패하는 시간과 동일하거나 또는 크게하도록 하여도 된다. 여기서 말하는 천이 시간이란, 어떤 신호의 값을 제1 값에서 제2 값으로 변화시키는데 요하는 시간이다.

이하, 본 발명에 관계되는 메모리 구동 회로의 실시 형태에 대해서 도면에 기초하며 설명한다.

도 1은 메모리 구동 회로의 구성을 나타내는 도면이다.

메모리 구동 회로는 4개의 메모리 모듈 1A, 1B, 1C, 1D와 메모리 컨트용러 MC(5)를 구비한다.

상기 메모리 컨트롤러 MC(5)와 4개의 메모리 모듈 IA, 1B, 1C, 1D(이하, 총청하여 메모리 모듈(1)이라 기재합)는 커넥터 4A, 4B, 4C, 4D(이하, 커넥터(4)라 총청한다)를 통해 접속된다. 상기 메모리 컨트폴러 MC(5)와 각 커넥터(4) 사이에는 각 메모리 모듈(1)율 1:1로 구동하는 버터 3A, 3B, 3C, 3D(이하, 총청하 MC(5)와 각 커넥터(4) 사이에는 각 메모리 모듈(1)율 1:1로 구동하는 버터 3A, 3B, 3C, 3D(이하, 총청하 MC(5)와 각 커넥터(4) 사이에는 각 메모리 모듈(1)율 1:1로 구동하는 버터 3A, 3B, 3C, 3D(이하, 총청하여 버전 패턴(6)이라 기재합)가 설치되어 있다. 그리고, 각 버터(3)의 출력 임피던스는 버터(3)와 메모리 모여 HHM(3)라고 기재합)의 임피던스로 정 등(1)율 접속하는 배선 패턴 6A, 6B, 6C, 6D(이하, 총청하여 베선 패턴(6)이라 기재합)의 임피던스로 정합하고 있다.

여기서, 상기 베퍼(3)의 출력 임피던스와 상기 배선 패턴(6)의 입피던스는 극히 낮은 값으로 정합시키는 것이 바람적하다.

상기 각각의 메모리 모듈(1)은 본 발명에 관계되는 메모리 소자로서의 다이나믹 RAM(DRAM)(2)을 복수 구 비하며, 이들 DRAM(2)이 배선 패턴에 의해서 접속된다.

여기서, 상기 마AM(2)의 내부 구성에 대해서, 도 2, 도 3에 기초하여 설명한다. DRAM(2)은 기록 데이타 선 DIN 및 독출 데이타선 DOUT으로 이루어지는 데이타 버스(7)와, 라이트 이네이블 신호션, 릴럼 어드레 스 스트로브 신호선, 및 로우 어드레스 스트로브 신호선으로 이루어지는 제어 버스(8)와, 어드레스 버 스(9)로 이루어지는 배선 패턴에 의해, 상기 메모리 컨트롤러 MC(5)와 접속된다.

그리고, DRAM(2)는 복수의 기억 소자를 때트릭스형으로 배치하여 구성되는 메모리셀(20)과, 이 메모리셀(20)의 로우 어드레스를 지정하는 로우 어드레스 디코더(22)와, 상기 메모리셀(20)의 컬럼 어드레스를 지정하는 컬럼 어드레스 디코더(25)와, 상기 로우 어드레스 디코더(25)와 리코더(25)에 의해서 특정된 기억 소자에 데이타를 기록하며, 또는 상기 기억 소자로부터 데이터를 판독하는 센스 램프(21)를 구비한다.

상기 로우 어드레스 디코더(22)에는 로우 어드레스 레지스터(23)와 물록 CLK(2)(24)가 접속되고, 상기 로우 어드레스 레지스터(23)에는 상기 어드레스 버스(9)가 접속되는 동시에, 상기 물록 QLK(2)(24)에는 상 기 제어 버스(8)의 로우 어드레스 스트로브 신호선과 로우 어드레스 레지스터(23)가 접속된다. 이 물록 QLK(2)(24)는 로우 어드레스 스트로브 신호 RAS를 수신한 것을 트리거로 하며, 상기 로우 머드레스 레지스터(23)와 상기 로우 어드레스 디코더(22)에 물록 신호를 송신한다.

다음에, 상기 월럼 번호 디코더(25)에는 컬럼 어드레스 레지스터(26)와 물록 CLK(1)(27)이 접속되고, 상기 컬럼 어드레스 레지스터(26)에는 상기 어드레스 버스(9)가 접속되는 동시에, 상기 물록 CLK(1)(27)에 기 컬럼 어드레스 레지스터(26)에는 상기 어드레스 버스(9)가 접속되는 동시에, 상기 물록 CLK(1)(27)은 AND는 상기 제어 버스(8)의 컬럼 어드레스 스트로브 신호선이 접속된다. 또, 상기 플록 CLK(1)(27)은 AND에 이름(30)와 컬럼 어드레스 레지스터(26)와 컬럼 어드레스 디코더(25)에 접속된다. 이 물록 CLK(1)(27)는 컬럼 어드레스 스트로브 신호 CAS을 수신한 것을 트리거로 하여, 상기 컬럼 어드레스 레지스터(27)와 점점 어드레스 디코더(25)와 AND 회로(30)에 물록 신호를 송신한다.

상기 AND 게이트(30)는 2개의 입력 단자와 1개의 출력 단자를 가지며, 상기 2개의 입력 단자의 한쪽이 상기 물록 CLK(1)(27)에 접속되는 동시에, 상기 2개의 입력 단자의 다른쪽이 상기 제어 버스(8)의 라이트 이네이탈 신호선에 접속된다. 그리고, 상기 출력 단자는, 기록 데이타 버퍼(28) 및 특출 데이타 버퍼(29)에 접속된다. 더기서, AND 게이트(30)는 라이트 이네이불 신호선에 의해 전송되는 라이트 이네이불 (29)에 접속된다. 여기서, AND 게이트(30)는 라이트 이네이불 신호선에 의해 전송되는 라이트 이네이불 (29)에 접속된다. 여기서, AND 게이트(30)는 라이트 이네이불 신호선에 의해 전송되는 라이트 이네이불 신호 때문을 반전 입력하도록 되어 있고, 상기 라이트 이네이불 신호 때문가 하이 레벨(DRAM(2)의 독출 동신호 때문을 바진하여 입력하고, 라이트 이네이불 신호 때문자 라이트에 기록 등작)을 나타낼 때 상기 로우 레벨(DRAM(2)의 기록 등작)을 나타낼 때 상기 로우 레벨 신호를 하이 레벨 신호로 반전하여 입력하다.

상기 독충 데이타 버퍼(29)는 이네미블 제어부의 버퍼로 구성되고, AND 회로(30)의 출력 단자로부터 출력 되는 신호를 이네미블 신호로서 입력한다. 그리고, 독출 데이타 버퍼(29)는 상기 AND 회로(30)로부터의 로우 레벨 신호(L)을 수신하면, 센스 앰프(21)로부터의 데이타를 발아들이고, 받아들인 데이타를 독출 데 이타선 DOUT으로 송신한다. 한편, 독충 데이타 버퍼(29)는 AND 회로(30)로부터의 하이 레벨 신호(H)를

계속해서, 상기 기록 데이타 버퍼(28)는 상기 독출 데이타 버퍼(29)와 동일하게 이네이블 제머부의 버퍼로 구성되고, AND 회로(30)의 출력 단자로부터 출력되는 신호를 이네이블 신호로서 입력한다. 단, 기록로 구성되고, AND 회로(30)의 출력 단자로부터 출력되는 신호를 이네이블 신호로서 입력한다. 단, 기록데이타 버퍼(28)는 상기 독출 데이타 버퍼(29)가 AND 회로(30)로부터의 로우 레벨 신호를 이네이블 신호로 한다. 그리고, 기록 데이타로 하는데 대하여, AND 회로(30)로부터의 하이 레벨 신호를 이네이블 신호로 한다. 그리고, 기록 데이타로 하는데 대하여, AND 회로(30)로부터의 로우 레벨 신호를 입력할 때, 상기 기록 데이타선 미N에 의해 송신되어 버퍼(28)는 AND 회로(30)로부터의 로우 레벨 신호를 입력할 때, 상기 기록 데이타선 미N에 의해 송신되어 오는 데이타를 받아들이고, 받아들인 데이타를 센스 앰프(21)로 송신한다.

다음에, 상기 메모리셀(20)은, 도 3에 도시된 바와 같이, 복수의 커패시터(10)와 트랜스퍼 게이트(11)로 이루어지는 기역 소자를 매트릭스형으로 배치하여 구성된다. 각 기억 소자는 로우 어드레스 디코더(22)에 접속된 워드선(12)과, 센스 앰프(21)에 접속된 비트선(13)에 접속된다. 그리고, 상기 워드선(12)은 각 기억 소자의 트랜스퍼 게이트(11)와 접속되며, 상기 비트선(13)은 각 기억 소자의 트랜스퍼 게이트 (11)를 통해 교회 보다(100년 점속되다. (11)를 통해 커피시터(10)와 접숙된다.

상기_트랜스퍼 게이트(11)는 워드선(12)에 구동 전력이 인가되면, 상기 비트선(13)과 커페시터(10)와의 사이를 도통시키는 것이다.

이상 기술한 DRAM(2)은 메모리 컨트롤러 MC(5)로부터의 하이 레벨의 라이트 이네이블 신호 WE를 수신하면, 메모리셀(20)의 독출 동작을 행한다. 그리고, 메모리 컨트롤러 MC(5)는 라이트 이네이블 신호 WE에 계속되며, 로우 어드레스 스트로브 신호 RAS와 로우 어드레스 데이타를 순차적으로 송신한다.

로우 어드레스 스트로브 신호 RAS는 제어 버스(8)를 경유하여 DRAM(2)의 룝복 CLK(2)(24)으로 보 [다., D] 때 쥴록 CLK(2)(24)는 로우 어드레스 레지스터(23) 및 로우 어드레스 디코더(22)에 플록 신호를 송신한다.

물록 신호물 수신한 로우 어드레스 레지스터(23)는 메모리 컨트롤러 MC(5)로부터의 로우 어드레스 데이타 를 받아들이고, 받아들인 로우 어드레스 데이타를 행번호 디코더(22)로 송신한다.

행번호 디코더(22)는 상기 로우 머드레스 데이타를 수신하면, 메모리셀(20)의 상기 로우 머드레스 데이타 가 LIEH내는 로우(워드선(12))에 구동 전력을 인기한다. 구동 전력이 인기된 행에 위치하는 기억 소자에 서는, 상기 구동 전력이 트랜스퍼 게이트(11)에 인가되며, 커패시터(10)와 비트선(13)과의 사이가 도통한다.

여기서, 메모리 컨트롤러 MC(5)는 로우 어드레스 데이타의 송신 종료후에 컬럼 어드레스 스트로브 신호 CASS사 컬럼 어드레스 데이타를 순차적으로 송신하고 있으므로, 미 컬럼 어드레스 스트로브 신호 CAS가 물로 CLK(1)(27)에 보내어지고, 물록 CLK(1)(27)이 컬럼 어드레스 레지스터(26)와 컬럼 어드레스 디코더 (25)와 AND 회로(30)에 클록 신호를 승신한다.

그리고, 물록 신호를 수신한 컬럼 어드레스 레지스터(26)는 머드레스 버스(9)를 통해 송신되는 컬럼 어드 레스 데이타를 받아물이고, 받아물인 컬럼 어드레스 데이타를 컬럼 머드레스 디코더(25)로 송신한다.

털럼 어드레스 데이터를 수신한 털럼 어드레스 디코더(25)는 센스 앰프(21)에 대하며, 상기 털럼 어드레 로 데이타에 대용하는 털텀(비트션(13))을 지정하는 신호를 송신한다.

이 때, 센스 앰프(21)는 상기 행에 위치하는 기억 소자중, 상기 지정 신호가 지정하는 컬텀(비트선(13))에 위치하는 기억 소자의 커패시터(10)를 감지하고, 전하가 촉압되어 있는지의 여부를 판별한다. 상기커패시터(10)에 전하가 촉압되어 있을 때, 상기 센스 앰프(21)는 신호 기술을 독출 데이타 버퍼로 송신하여, 상기 커패시터(10)에 전하가 촉압되어 있을 때, 상기 센스 앰프(21)는 신호 이술을 독출 데이타 하여, 상기 커패시터(10)에 전하가 촉압되어 있을 때, 상기 센스 앰프(21)는 신호 이술을 독출 데이타 하여, 상기 커패시터(10)에 전하가 촉압되어 있을 때, 상기 센스 앰프(21)는 신호 버퍼로 승신한다.

한편, AND 회로(30)는 하이 레벨의 라이트 이네이블 신호 脈를 반전 입력하는 동시에, 醫록 CLK(1)(27)으로부터의 물록 신호(하이 레벨)를 입력하고 있으므로, 로우 레벨의 신호(L)을 기록 데이타 버퍼(28)와 독로부터의 품록 신호(하이 레벨)를 입력하고 있으므로, 로우 레벨의 신호(L)을 기록 데이타 버퍼(28)와 출데이타 버퍼(29)에 승신하게 된다. 이 때, 독출 데이타 버퍼(29)만이 동작하며, 상기 센스 앰프(21)출데이타 선호(디」, OR 이 기를 받아들인다. 그리고, 독출 데이타 버퍼(29)는 받아들인 신호(디」 OR로부터의 신호(디」,OR 이 기를 받아들인다. 그리고, 독출 데이타 세퍼(29)는 받아들인 신호(디」 OR 로부터의 신호(디) 이라(7)을 통해, 상기 메모리 컨트롤러 MC(5)로 승신한다.

다음에, DRAM(2)은 메모리 컨트롤러 MC(5)로부터의 로우 레벨의 라이트 이네이블 신호 WE를 수신하면, 메모리셀(20)의 기록 동작을 행한다. 그러고, 메모리 컨트롤러 MC(5)는 라이트 이네이블 신호 WE에 계속되고, 로우 어드레스 스트로브 신호 RAS, 로우 어드레스 데이타, 컬텀 어드레스 스트로브 신호 CAS, 컬럼 어드레스 데이타를 순차적으로 송신한다.

그리고, 클록 CLK(1)(27), 털럼 머드레스 레지스터(26), 클록 CLK(2)(24), 로우 머드레스 디코더 및 로우 머드레스 디코더(22)는, 전술한 독출 동작시와 동일하게 동작하며, 메모리셑(20)을 구성하는 복수의 기억

소자중의 1개를 선택한다.

계속해서, AND 회로(30)는 로우 레벨의 라이트 이네이블 신호 脈를 반전 입력하는 동시에, 물록 CLK(1)(27)으로부터의 물록 신호(하이 레벨)를 입력하고 있으므로, 하이 레벨의 신호(H)를 기록 데이타 버퍼(28)와 독출 데이타 버퍼(29)에 송신하게 된다. 이 때, 기록 데이타 버퍼(28)만이 동작하며, 상기 메모리 컨트롤러 KC(5)로부터 상기 기록 데이타선 DIN을 통해 송신되어 오는 신호 (기」 OR 이)를 받 마톨이고, 받아들인 신호(기」 OR 「0」)를 상기 센스 앰프(21)로 송신한다.

그리고, 센스 앰프(21)는 상기 로우 어드레스 및 상기 털럼 어드레스에 의해 특정된 기억 소자의 커패시터(10)에 기록 버퍼(28)로부터의 신호(기) QR 이))를 기록한다. 예컨대,기록 데이타 버퍼(28)로부터의 신호가 기기인 경우, 센스 앰프(21)는 상기 커패시터(10)에 전하를 축압하고, 기록 데이타 버퍼(28)로부터의 신호가 이기인 경우, 센스 앰프(21)는 상기 커패시터(10)에 축압되어 있던 전하를 방전시 킨다.

이하, 본 실시의 형태의 작용·효과에 대해서 진술한다.

메모리 컨트롱러 MC(5)로부터 배선 패턴(14)을 통해 신호를 송신하면, 상기 신호는 버퍼(3) 커넥터(4) 배선 패턴(6)을 통해 메모리 모듈(1)로 송신된다. 이 때, 배선 패턴(6)과 메모리 모듈(1)과의 접속점(도 1중, b점)에서는, 배선 패턴(6)의 임피면스와 메모리 모듈(1)의 임피던스의 부정함에 의해, 상기 신호의 반사 노이즈가 발생한다.

그리고, 상기 b점에서 발생한 반사 노이즈는 배선 패턴(6)을 역류하여, 버퍼(3)로 향하지만, 버퍼(3)에 의해서 흡수되므로, 다른 메모리 모듈(1)로 향하지 않는다.

또, 버퍼(3)의 출력 임피던스와 배선 패턴(6)의 임피던스가 정합하고 있으므로, 버퍼(3)와 배선 패턴(6) 의 접속점(도 1중, a점)에서는, 상기 반사 노미즈가 다시 반사하는 일도 없다.

또한, 상기 a점에 있어서의 반사 노미즈를 억제하는 방법으로서, 상기 배선 패턴(6)의 임피던스와 상기 메모리 모듈(1)의 임피던스를 정합시키는 방법을 생각할 수 있지만, 내장되는 메모리 모듈은 여러가지 중 류가 존재하기 때문에, 배선 패턴(6)의 임피던스와 메모리 모듈의 임피던스를 완전히 정합시키기는 곤란 하다.

그래서, 본 발명에 관계되는 메모리 구동 회로에서는, 여러가지 메모리 모듈이 취할 수 있는 임피던스 범위내에서 상기 배선 패턴(6)의 임피던스(및 버퍼(3)의 출력 임피던스)를 결정하도록 하여, 상기 &점에서 발생하는 반사 노이즈를 강력히 억제한다. 일반적으로, 메모리 모듈의 임피던스는 30요~50요미기 때문에, 상기 배선 패턴(6)의 임피던스 및 버퍼(3)의 출력 임피던스는 30~50요의 범위내에서 정합시키는 것 이 바람직하다.

그런데, 상기한 바와 같이, 버퍼(3)의 임피던스와 배선 패턴(6)의 임피던스가 정합되었을 경우, 버퍼(3)로부터 가장 먼 위치(도 1중, c점)에서는 도 4에 도시된 바와 같이 신호가 양호한 파형을 형성하여 상승하지만, 버퍼(3) 근처의 b점에서는 도 5에 도시된 바와 같이, 버퍼(3)로부터 송신되는 신호가 메모리 모듈(1)내의 각 DRAM(2)에서 발생하는 반사 노이즈와 겹치기 때문에, 모듈내를 신호가 전파하여 b점으로 되듈(1)내의 각 DRAM(2)에서 발생하는 반사 노이즈와 겹치기 때문에, 모듈내를 신호가 전파하여 b점으로 되률아을 때까지의 기간(b점에서 가장 먼 위치의 DRAM(2)에서 발생하는 반사 노이즈가 b점에 도달할 때까지의 기간) t1은 신호는 상승하지 않으며, 단계적인 파형을 형성한다.

또, 상기 4점에 있어서의 신호도, 도 6에 도시된 바와 같이, 반사 노이즈의 영향을 받아 단계적인 파형을 형성하며 상승하게 된다.

그래서, 본 발명에 관계되는 메모리 구동 회로에서는 버퍼(3)가 출력하는 신호의 천미 시간을 메모리 모 듈(1)내물 신호가 전파하여 b점으로 되돌아올 때까지의 시간과 동일하거나 또는 크게하며, 상기 4점, b점, c점에 있어서의 신호가 양호한 파형을 형성하여 상승하도록 한다(도 7, 도 8, 도 9 참조).

따라서, 본 실시 형태에 관계되는 에모리 구동 회로에 의하면, 메모리 모듈에서 발생하는 반사 노이즈물 버퍼로 흡수함으로써, 다른 메모리 모듈의 오동작을 방지할 수 있다.

또, 버퍼(3)의 출력 임피던스와 배선 패턴(6)율 정합함으로써, 메모리 모듈(1)에서 발생한 반사 노미즈가 중복하는 일이 없다.

또한, 버퍼(3)로부터 출력되는 신호의 천이 시간을 메모리 모듈(1)내의 신호 전파 시간과 동말하거나 또는 크게함으로써, 신호의 파형 균멸을 방지하며, 타이밍 메러를 방지함 수 있다.

494 54

본 발명에 관계되는 메모리 구동 회로에 의하면, 머러가지 구성의 메모리 모듈을 내장하는 회로에 있어서, 회로내의 불필요한 반사 노이즈를 방지하고, 회로내에서 송수신되는 신호의 파형을 양질미면서 또한 안정한 파형으로 하는 동시에, 회로내의 지연을 억제할 수 있다.

(57) 결구의 범위

청구항 1

복수의 메모리 소자로 구성되는 적어도 한 개의 메모리 모듈과;

상기 메모리 모듈을 구동하는 메모리 컨트롤러와;

상기 에모리 모듈과 상기 메모리 컨트롤러의 사이에 배치되고, 상기 메모리 컨트롤러로부터의 구동 신호를 수신하며, 수신한 구동 신호를 상기 메모리 모듈로 송신하는 버퍼를 구비하는 것을 특징으로 하는 메모리 구동 회로.

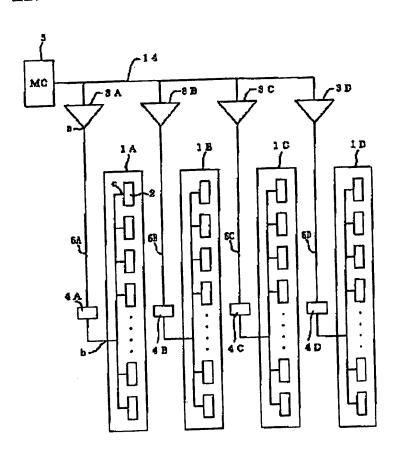
제 항에 있어서, 상기 버퍼의 출력 임피던스는 상기 버퍼와 상기 메모리 모듈을 접속하는 배선의 임피던스에 정합하는 것을 특징으로 하는 메모리 구동 회로.

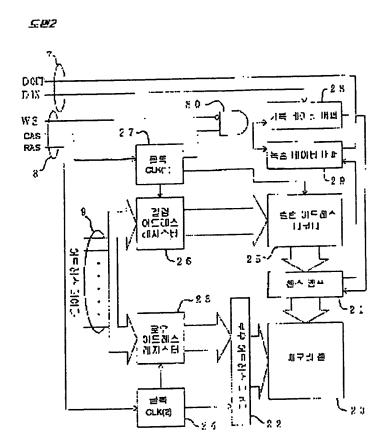
제1항에 있어서, 상기 버퍼와 상기 메모리 모듈을 접속하는 배선의 임피던스를 상기 메모리 모듈이 취할 수 있는 임피던스 범위내의 값으로 하는 것을 특징으로 하는 메모리 구동 회로.

제1항에 있어서, 상기 버퍼로부터 출력되는 신호값의 천이 시간은 상기 메모리 모듈내를 신호가 전피하는 시간과 동일하거나 또는 크게하는 것을 특징으로 하는 메모리 구동 회로.

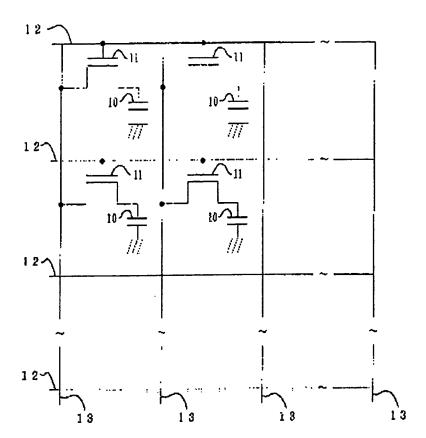
50

<u>591</u>

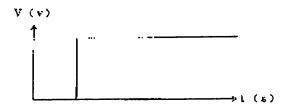




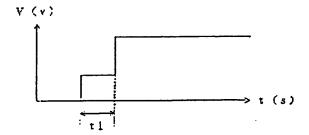
⊊B3



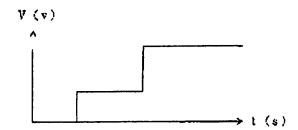
<u><u> 5</u>84</u>



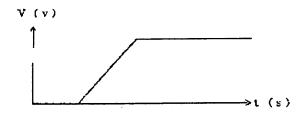
*⊊B*5



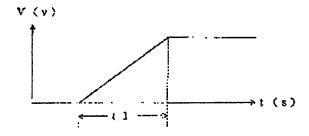
SEB



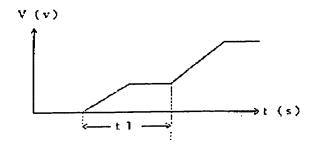
<u> 507</u>



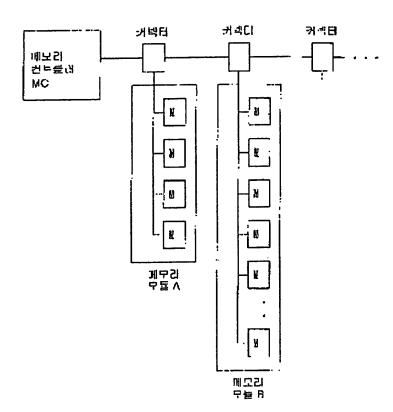
⊊₽8



5.09



⊊២10



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

÷

٩

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.